

Docket No.: 60188-579

PATENT

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of :  
:  
:  
**Masahiro IMADE, et al.** :  
:  
:  
Serial No.: : Group Art Unit:  
:  
Filed: July 15, 2003 : Examiner:  
:  
For: SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME

**CLAIM OF PRIORITY AND**  
**TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:  
**Japanese Patent Application No. 2003-038113, filed February 17, 2003**  
cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

Michael E. Fogarty  
Registration No. 36,139

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 MEF:mcw  
Facsimile: (202) 756-8087  
**Date: July 15, 2003**

60188-579

日本国特許庁

JAPAN PATENT OFFICE

IMADE et al.

July 15, 2003

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office

出願年月日

Date of Application:

2003年 2月17日

出願番号

Application Number:

特願2003-038113

[ST.10/C]:

[JP2003-038113]

出願人

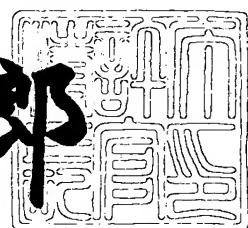
Applicant(s):

松下電器産業株式会社

2003年 4月25日

特許長官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3030405

【書類名】 特許願  
 【整理番号】 2926440098  
 【提出日】 平成15年 2月17日  
 【あて先】 特許庁長官 殿  
 【国際特許分類】 H01L 27/04  
 H01L 21/822

## 【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 今出 昌宏

## 【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 海本 博之

## 【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 宮田 里江

## 【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

## 【代理人】

【識別番号】 100077931

## 【弁理士】

【氏名又は名称】 前田 弘

## 【選任した代理人】

【識別番号】 100094134

## 【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【選任した代理人】

【識別番号】 100117581

【弁理士】

【氏名又は名称】 二宮 克也

【選任した代理人】

【識別番号】 100117710

【弁理士】

【氏名又は名称】 原田 智雄

【選任した代理人】

【識別番号】 100121500

【弁理士】

【氏名又は名称】 後藤 高志

【選任した代理人】

【識別番号】 100121728

【弁理士】

【氏名又は名称】 井関 勝守

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0217869

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項1】 半導体層と、

上記半導体層内に設けられたソース領域と、

上記半導体層内に、上記ソース領域と離間して設けられたドレイン領域と、

上記半導体層の上に設けられたゲート絶縁膜と、

上記ゲート絶縁膜の上に設けられたゲート電極と、

上記半導体層の上に設けられ、上記ゲート電極を覆う第1の層間絶縁膜と、

上記第1の層間絶縁膜の上に設けられ、上記ゲート電極と電気的に接続された第1のゲート配線と、

上記第1の層間絶縁膜の上に設けられ、上記ドレイン領域と電気的に接続された第1のドレイン配線と、

上記第1の層間絶縁膜の上に設けられ、上記第1のゲート配線および上記第1のドレイン配線を覆う第2の層間絶縁膜とを備え、

上記第1のドレイン配線のうちの一部と上記第1のゲート配線のうちの一部とは、上記第2の層間絶縁膜の一部を挟んでゲート幅方向に相対向して延びていることを特徴とする半導体装置。

【請求項2】 請求項1に記載の半導体装置において、

上記第2の層間絶縁膜の上に設けられ、上記第1のドレイン配線と電気的に接続された第2のドレイン配線をさらに備えていることを特徴とする半導体装置。

【請求項3】 請求項2に記載の半導体装置において、

上記第1のドレイン配線および上記第1のゲート配線の膜厚は、上記第2のドレイン配線よりも厚く設けられていることを特徴とする半導体装置。

【請求項4】 請求項2または3に記載の半導体装置において、

上記第2の層間絶縁膜のうち上記第1のドレイン配線のうちの一部と上記第1のゲート配線のうちの一部とによって挟まれる部分の物質は、高誘電体であることを特徴とする半導体装置。

【請求項5】 請求項4に記載の半導体装置において、

上記高誘電体は、シリコン窒化物であることを特徴とする半導体装置。

【請求項6】 請求項2～5のうちいずれか1つに記載の半導体装置において、

上記第2の層間絶縁膜の上に設けられ、上記第1のゲート配線と電気的に接続される第2のゲート配線と、

上記第2の層間絶縁膜の上に設けられ、上記第2のドレイン配線と上記第2のゲート配線とを覆う第3の層間絶縁膜とをさらに備え、

上記第2のドレイン配線のうちの一部と上記第2のゲート配線のうちの一部とは、相対向して延びていることを特徴とする半導体装置。

【請求項7】 請求項6に記載の半導体装置において、

上記第3の層間絶縁膜のうち上記第2のドレイン配線のうちの一部と上記第2のゲート配線のうちの一部とによって挟まれる部分の物質は、高誘電体であることを特徴とする半導体装置。

【請求項8】 請求項7に記載の半導体装置において、

上記高誘電体は、シリコン窒化物であることを特徴とする半導体装置。

【請求項9】 請求項1～8のうちいずれか1つに記載の半導体装置において、

上記第1の層間絶縁膜の上に設けられ、上記ソース領域に電気的に接続された第1のソース配線をさらに備え、

上記第1のドレイン配線と上記第1のゲート配線との間隔よりも、上記第1のソース配線と上記第1のゲート配線との間隔の方が広いことを特徴とする半導体装置。

【請求項10】 請求項1～9のうちいずれか1つに記載の半導体装置において、

上記ドレイン領域は、内部回路と、上記内部回路に信号を入力することができる入出力端子とに電気的に接続されることを特徴とする半導体装置。

【請求項11】 請求項1～10のうちいずれか1つに記載の半導体装置において、

上記ゲート電極は、抵抗と電気的に接続されていることを特徴とする半導体裝

置。

【請求項12】 半導体層の上にゲート絶縁膜を介してゲート電極を形成する工程（a）と、

上記半導体層の中に、ソース領域およびドレイン領域を形成する工程（b）と

上記工程（b）の後に、上記半導体層の上方に、第1の層間絶縁膜を形成する工程（c）と、

上記第1の層間絶縁膜の上に、上記ゲート電極と電気的に接続される第1のゲート配線を形成する工程（d）と、

上記第1の層間絶縁膜の上に、上記ドレイン領域と電気的に接続される第1のドレイン配線を、一部がゲート幅方向で上記第1のゲート配線の一部と相対向するように形成する工程（e）と、

上記第1の層間絶縁膜の上に、上記第1のゲート配線および上記第1のドレイン配線を覆う第2の層間絶縁膜を形成する工程（f）と  
を備える半導体装置の製造方法。

【請求項13】 請求項12に記載の半導体装置の製造方法において、

上記第2の層間絶縁膜の上に、上記第1のドレイン配線と電気的に接続される第2のドレイン配線を形成する工程（g）をさらに備えることを特徴とする半導体装置の製造方法。

【請求項14】 請求項13に記載の半導体装置の製造方法において、

上記第1のドレイン配線および上記第1のゲート配線の膜厚を、上記第2のドレイン配線よりも厚く形成することを特徴とする半導体装置の製造方法。

【請求項15】 請求項13または14に記載の半導体装置の製造方法において、

上記第2の層間絶縁膜の上に、上記第1のゲート配線と電気的に接続される第2のゲート配線を、一部が上記第2のドレイン配線の一部と相対向するように形成する工程（h）をさらに備えることを特徴とする半導体装置の製造方法。

【請求項16】 請求項15に記載の半導体装置の製造方法において、

上記工程（h）の後に、上記第2の層間絶縁膜の上に、少なくとも一部が高誘

電体からなる第3の層間絶縁膜を形成する工程(j)をさらに備えることを特徴とする半導体装置の製造方法。

**【請求項17】** 請求項11～16のうちいずれか1つに記載の半導体装置の製造方法において、

上記工程(f)では、上記第2の層間絶縁膜のうちの一部を高誘電体から形成することを特徴とする半導体装置の製造方法。

**【請求項18】** 請求項11～17のうちいずれか1つに記載の半導体装置の製造方法において、

上記第1の層間絶縁膜の上に、上記ソース領域と電気的に接続される第1のソース配線を形成する工程(i)をさらに備え、

上記第1のドレイン配線と上記第1のゲート配線との間隔よりも、上記第1のソース配線と上記第1のゲート配線との間隔の方が広いことを特徴とする半導体装置の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明は、半導体装置およびその製造方法に関し、特に、内部回路を静電気による破壊から保護するために用いられる半導体装置およびその製造方法に関する。

##### 【0002】

##### 【従来の技術】

半導体装置の内部回路と外部との間の信号の送受信は、入出力パッドを介して行われる。この入出力パッドから内部回路へは、内部回路を駆動させるための信号だけではなく、外部で突発的に発生する静電気も供給される。内部回路に大きな値の静電気が供給されると、内部回路内に設けられている素子が破壊されてしまう場合がある。

##### 【0003】

内部回路の静電破壊を回避するために、半導体装置内における内部回路と入出力パッドとの間には、静電保護素子や、静電保護素子を有する静電保護回路が設

けられている。よく用いられる静電保護素子としては、MISFETのソース（S）－基板（B）－ドレイン（D）から構成される寄生バイポーラトランジスタがある。

## 【0004】

以下に、静電保護素子の構成について、図9を参照しながら説明する。図9は、従来において、NPN型の寄生バイポーラトランジスタを利用した半導体装置の構成を模式的に示す断面図である。

## 【0005】

図9に示すように、従来の半導体装置では、内部回路81と、半導体装置の外部と内部回路81との間の信号の送受信を可能とする入出力パッド82と、内部回路81と入出力パッド82との間に接続され、n型MISFETの構成を有する静電保護素子83とが設けられている。静電保護素子83は、半導体基板90と、半導体基板90内に互いに離間して設けられたソース領域91およびドレイン領域92と、ソース領域91の上に設けられたソース電極93と、ドレイン領域92の上に設けられたドレイン電極94と、半導体基板90の上に設けられたゲート絶縁膜95と、ゲート絶縁膜95の上に設けられたゲート電極96と、ゲート絶縁膜95の側方に設けられたサイドウォールスペーサ97と、ゲート電極96と接続される抵抗98とを有している。

## 【0006】

静電保護素子83のドレイン電極94は、内部回路81と入出力パッド82との間に接続されている。一方、ゲート電極96、ソース電極93および半導体基板90は接地電位99に接続されることにより接地されている。静電保護素子83が寄生バイポーラトランジスタとして機能するときには、ドレイン領域92がコレクタ101となり、ソース領域91がエミッタ100となり、半導体基板90のうちソース領域91とドレイン領域92との間に位置する領域がベース102となる。なお、基板抵抗104は、静電保護素子83が寄生バイポーラトランジスタとして機能するときに、半導体基板90が抵抗として機能することを模式的に示すために図示している。

## 【0007】

次に、静電保護素子83の動作原理について、再び図9を参照しながら説明する。半導体装置の外部から入出力パッド82に、静電気による負の過剰電圧が印加された場合には、接地電位99から入出力パッド82の方向に電流が流れ、静電気が排出される。ここで流れる電流は、半導体基板90のうちのn型のドレイン領域92と、半導体基板90のうち接地電位99と接続されるp型の領域とからなるPN接合の順方向特性に従うことから、入出力パッド82に印加される負の過剰電圧はクランプされ、内部回路は過剰電圧から保護される。

#### 【0008】

一方、入出力パッド82に正の過剰電圧が印加された場合には、静電保護素子83の動作モードが、MISFETからバイポーラトランジスタに切り替わる。具体的な動作について、以下に説明する。入出力パッド82からドレイン電極94に過剰な電圧が印加されると、ドレイン電極94、半導体基板90およびソース電極93を介して接地電位99へ電流が流れ、静電気が排出される。ドレイン電極94への印加電圧が上昇するにつれて、N型MISFETのドレイン領域92端において衝突イオン化が促進されるので、基板電流103が徐々に増大する。基板抵抗104に基板電流103が流れると、電圧降下により、ベース102の電位が上昇する。ベース電位がある程度上昇すると、寄生バイポーラトランジスタが導通し、コレクタ101（ドレイン領域92）からエミッタ100（ソース領域91）へ大電流が流れる。このようにMISFETとしての動作モードからバイポーラトランジスタとしての動作モードに切り替わるときのドレイン印加電圧をトリガ電圧という。

#### 【0009】

図10は、スナップバック特性の電圧値と電流値との関係を示すグラフ図である。静電保護素子83に流れる電流は、図10に示すようなスナップバック特性に従うため、ドレイン電極94における電圧はトリガ電圧以下に抑えられる。通常、トリガ電圧は内部回路素子の破壊電圧よりも低いため、内部回路は過剰電圧から保護される。

#### 【0010】

なお、図9に示す抵抗98にはトリガ電圧を低下させる効果がある。その原理

について以下に説明する。一般に、MISFETのドレイン領域92はゲート電極96の端部とオーバーラップするように形成されているため、ゲートードレン間には容量が存在する。この容量が形成された状態でドレイン電極94に静電気による正の過剰電圧が印加されると、容量に基づく充放電電流が、ドレイン電極94からゲート電極96および抵抗98を介して、接地電位99へ瞬間に流れれる。これにより、抵抗98による電圧降下が生じゲート電極96の電位は上昇する。ゲート電極96の電位が上昇するとドレインーソース間に流れる電流が増加するので、衝突イオン化が促進される。これにより、基板電流103が増加するので、基板抵抗104による電圧降下が大きくなつてベース電位が上昇する結果、寄生バイポーラトランジスタが導通しやすくなる。以上のように、抵抗98を設けることによつて、静電気による正の過剰電圧が印加された瞬間のトリガ電圧を低下させることができる。

## 【0011】

## 【特許文献1】

特開平3-73567号公報

## 【0012】

## 【発明が解決しようとする課題】

しかしながら、従来の半導体装置においては、次のような不具合が生じていた。

## 【0013】

一般のMISFETは、ホットキャリア注入によるゲート絶縁膜の劣化を抑制するために、ドレイン端での電界が緩和されるような不純物プロファイルに設計される。そのため、衝突イオン化によって発生する基板電流が小さくなり、基板抵抗により生ずる電圧降下が小さくなり、トリガ電圧が高くなり、寄生バイポーラトランジスタが導通しにくくなってしまう。

## 【0014】

しかしながら、最近の内部回路用MISFETのゲート絶縁膜は3nm以下まで薄膜化しており、ゲート破壊電圧も10ボルト以下まで低電圧化してきている。

## 【0015】

従って、トリガ電圧が高いと、静電気による正の過剰電圧が印加された場合に、内部回路用MISFETのゲート絶縁膜に破壊電圧以上の電圧が印加され、ゲート絶縁膜破壊に至るということが起こり得る。

## 【0016】

そこで、本発明は、スナップバック特性におけるトリガ電圧を効果的に低下させる手段を講ずることにより、静電保護能力の高い半導体装置およびその製造方法を提供することを目的とする。

## 【0017】

## 【課題を解決するための手段】

本発明の半導体装置は、半導体層と、上記半導体層内に設けられたソース領域と、上記半導体層内に、上記ソース領域と離間して設けられたドレイン領域と、上記半導体層の上に設けられたゲート絶縁膜と、上記ゲート絶縁膜の上に設けられたゲート電極と、上記半導体層の上に設けられ、上記ゲート電極を覆う第1の層間絶縁膜と、上記第1の層間絶縁膜の上に設けられ、上記ゲート電極と電気的に接続された第1のゲート配線と、上記第1の層間絶縁膜の上に設けられ、上記ドレイン領域と電気的に接続された第1のドレイン配線と、上記第1の層間絶縁膜の上に設けられ、上記第1のゲート配線および上記第1のドレイン配線を覆う第2の層間絶縁膜とを備え、上記第1のドレイン配線のうちの一部と上記第1のゲート配線のうちの一部とは、上記第2の層間絶縁膜の一部を挟んでゲート幅方向に相対向して延びていることを特徴とする。

## 【0018】

これにより、第1のゲート配線と第1のドレイン配線との間に容量を保持することができるので、トリガ電圧を低下することができ、寄生バイポーラトランジスタを導通しやすくすることができる。

## 【0019】

上記第2の層間絶縁膜の上に設けられ、上記第1のドレイン配線と電気的に接続された第2のドレイン配線をさらに備えていることにより、第2のドレイン配線において、ドレイン領域と半導体装置の外部の部材とを電気的に接合すること

ができる。

【0020】

上記第1のドレイン配線および上記第1のゲート配線の膜厚は、上記第2のドレイン配線よりも厚く設けられていることにより、より大きな値の容量を保持することができる。

【0021】

上記第2の層間絶縁膜のうち上記第1のドレイン配線のうちの一部と上記第1のゲート配線のうちの一部とによって挟まれる部分の物質は、高誘電体であることにより、より大きな容量を保持することができる。

【0022】

上記高誘電体は、シリコン窒化物であることが好ましい。

【0023】

上記第2の層間絶縁膜の上に設けられ、上記第1のゲート配線と電気的に接続される第2のゲート配線と、上記第2の層間絶縁膜の上に設けられ、上記第2のドレイン配線と上記第2のゲート配線とを覆う第3の層間絶縁膜とをさらに備え、上記第2のドレイン配線のうちの一部と上記第2のゲート配線のうちの一部とは、相対向して延びていることにより、より大きな容量を保持することができる。

【0024】

上記第3の層間絶縁膜のうち上記第2のドレイン配線のうちの一部と上記第2のゲート配線のうちの一部とによって挟まれる部分の物質は、高誘電体であることにより、より大きな容量を保持することができる。

【0025】

上記高誘電体は、シリコン窒化物であることが好ましい。

【0026】

上記第1の層間絶縁膜の上に設けられ、上記ソース領域に電気的に接続された第1のソース配線をさらに備え、上記第1のドレイン配線と上記第1のゲート配線との間隔よりも、上記第1のソース配線と上記第1のゲート配線との間隔の方が広いことにより、従来よりも第1のドレイン配線と第1のゲート配線との間隔

が狭くなるので、より効果的に第1のドレイン配線と第1のゲート配線との間に容量を保持することができる。

#### 【0027】

上記ドレイン領域は、内部回路と、上記内部回路に信号を入力することができる入出力端子とに電気的に接続されることにより、入出力端子に静電気による過剰電圧が印加された場合でも、内部回路が破壊されるのを防止することができる。

#### 【0028】

上記ゲート電極は、抵抗と電気的に接続されていることが好ましい。

#### 【0029】

本発明の半導体装置の製造方法は、半導体層の上にゲート絶縁膜を介してゲート電極を形成する工程（a）と、上記半導体層の中に、ソース領域およびドレイン領域を形成する工程（b）と、上記工程（b）の後に、上記半導体層の上方に、第1の層間絶縁膜を形成する工程（c）と、上記第1の層間絶縁膜の上に、上記ゲート電極と電気的に接続される第1のゲート配線を形成する工程（d）と、上記第1の層間絶縁膜の上に、上記ドレイン領域と電気的に接続される第1のドレイン配線を、一部がゲート幅方向で上記第1のゲート配線の一部と相対向するように形成する工程（e）と、上記第1の層間絶縁膜の上に、上記第1のゲート配線および上記第1のドレイン配線を覆う第2の層間絶縁膜を形成する工程（f）とを備える。

#### 【0030】

これにより、第1のゲート配線と第1のドレイン配線との間に保持される容量によってトリガ電圧が低下するために、寄生バイポーラトランジスタとして導通しやすい半導体装置を得ることができる。

#### 【0031】

上記第2の層間絶縁膜の上に、上記第1のドレイン配線と電気的に接続される第2のドレイン配線を形成する工程（g）をさらに備えることにより、第2のドレイン配線によって半導体装置の外部と電気的に接続可能な半導体装置を得ることができる。

## 【0032】

上記第1のドレイン配線および上記第1のゲート配線の膜厚を、上記第2のドレイン配線よりも厚く形成することにより、より大きな値の容量の保持が可能となる。

## 【0033】

上記第2の層間絶縁膜の上に、上記第1のゲート配線と電気的に接続される第2のゲート配線を、一部が上記第2のドレイン配線の一部と相対向するように形成する工程(h)をさらに備えることにより、より大きな値の容量の保持が可能となる。

## 【0034】

上記工程(h)の後に、上記第2の層間絶縁膜の上に、少なくとも一部が高誘電体からなる第3の層間絶縁膜を形成する工程(j)をさらに備えることにより、より大きな値の容量の保持が可能となる。

## 【0035】

上記工程(f)では、上記第2の層間絶縁膜のうちの一部を高誘電体から形成することにより、より大きな値の容量の保持が可能となる。

## 【0036】

上記第1の層間絶縁膜の上に、上記ソース領域と電気的に接続される第1のソース配線を形成する工程(i)をさらに備え、上記第1のドレイン配線と上記第1のゲート配線との間隔よりも、上記第1のソース配線と上記第1のゲート配線との間隔の方が広いことにより、従来よりも第1のドレイン配線と第1のゲート配線との間隔が狭い半導体装置を得ることができる。

## 【0037】

## 【発明の実施の形態】

## (第1の実施形態)

第1の実施形態では、第1のゲート配線と第1のドレイン配線との間に蓄積される容量を増加させることによってトリガ電圧を低下させる半導体装置およびその製造方法について説明する。

## 【0038】

まず、本実施形態の半導体装置について、図1（a）～（d）を参照しながら説明する。図1（a）は、第1の実施形態において半導体装置のレイアウトを示す断面図であり、図1（b）は半導体基板の上面上のレイアウトを示す平面図であり、図1（c）は第1の層間絶縁膜の上に設けられた配線のレイアウトを示す平面図であり、図1（d）は第2の層間絶縁膜の上に設けられた配線のレイアウトを示す平面図である。なお、図1（a）に示す断面は、図1（b）～（d）における（A）～（A）線における断面である。また、図1（a）～（d）においては、入出力パッドと内部回路の図示を省略している。

## 【0039】

図1（a）に示すように、本実施形態の半導体装置では、半導体基板（半導体層）11のなかに静電保護素子としてN型MISFET12が設けられており、半導体基板11の上には、第1の層間絶縁膜13、第2の層間絶縁膜14および第3の層間絶縁膜15が積層されている。

## 【0040】

N型MISFET12は、半導体基板11の素子形成領域Rrに設けられている。N型MISFET12は、濃度 $3.5 \times 10^{17} \text{ cm}^{-3}$ の不純物を含む半導体基板11と、半導体基板11の中に互いに離間して設けられ、濃度 $4.0 \times 10^{20} \text{ cm}^{-3}$ のN型不純物を含むソース領域16およびドレイン領域17と、半導体基板11のうちソース領域16とドレイン領域17とに挟まれる領域の上に設けられた、厚さ7.5nmのゲート絶縁膜18と、ゲート絶縁膜18の上に設けられたゲート長40nmのゲート電極19と、ゲート電極19の側方に設けられた絶縁物からなるサイドウォールスペーサ20とを備えている。N型MISFET12のゲート電極19およびソース領域16は、第1のコンタクトプラグ23を介して、第1の層間絶縁膜13の上に設けられた第1のゲート配線25および第1のソース配線24によって外部と電気的に接続されている。N型MISFET12のドレイン領域17は、第1のコンタクトプラグ23、第1のドレイン配線26および第2のコンタクトプラグ27および第2のドレイン配線28によって外部と電気的に接続されている。

## 【0041】

図1 (b) に示すように、素子形成領域R r の側方は絶縁層からなる素子分離2 1 によって囲まれており、素子分離2 1 の側方は、濃度 $2 \times 10^{20} \text{ cm}^{-3}$ のp型不純物を含むガードバンド2 2 によって囲まれている。素子形成領域R r のうちのソース領域1 6、ドレイン領域1 7、ゲート電極1 9 およびガードバンド2 2 の上には、第1の層間絶縁膜1 3 (図1 (a) に示す) を貫通する第1のコンタクトプラグ2 3 が設けられている。

#### 【0042】

図1 (c) では、第1の層間絶縁膜1 3 の図示が省略され、第1の層間絶縁膜1 3 の上に設けられている部材は実線で示され、第1の層間絶縁膜1 3 の下方に設けられている部材は破線で示されている。なお、第1の層間絶縁膜1 3 は、480 nmの厚さで設けられている。図1 (c) に示すように、ゲート電極1 9 (図1 (b) に示す) は、厚さ250 nmの第1のゲート配線2 5 と電気的に接続されており、第1のゲート配線2 5 は、抵抗(図示せず) を介して接地電位(図示せず) に接続されている。ソース領域1 6 (図1 (b) に示す) は、厚さ250 nmの第1のソース配線2 4 と電気的に接続され、第1のソース配線2 4 は、ガードバンド2 2 の上に設けられている第1のコンタクトプラグ2 3 の上を延びて、接地電位(図示せず) に接続されている。ドレイン領域1 7 (図1 (b) に示す) は、厚さ250 nmの第1のドレイン配線2 6 と電気的に接続されている。第1のドレイン配線2 6 の上には、第2のコンタクトプラグ2 7 が設けられている。

#### 【0043】

本実施形態の半導体装置では、図1 (c) に示すように、第1のゲート配線2 5 は、ゲート電極1 9 の上に第1のドレイン配線2 6 の側面と相対向するように伸張されている。つまり、第1のゲート配線2 5 が、第1のコンタクトプラグ2 3 の上から接地電位に到達するまでの領域だけではなく、第1のドレイン配線2 6 の側面に沿うように、あるいは囲むように設けられている。なお、第1のゲート配線2 5 の一部と第1のドレイン配線2 6 の一部とが並行して延びる領域を容量保持部2 9 と呼ぶ。容量保持部2 9 の容量値は、第1のゲート配線2 5 と第1のドレイン配線2 6 との対向面積および間隔によって決まる。すなわち、第1の

ゲート配線25と第1のドレイン配線26との対向面積を大きく形成したり、あるいは、第1のゲート配線25と第1のドレイン配線との間隔を狭く形成することによって、容量値の増大を図ることができる。

#### 【0044】

従来では、ゲート配線は、ゲートコンタクトに接続されているだけでゲート電極の上方までは伸張して形成されていないのが一般的であった。配線のレイアウトの都合により、ゲート電極の上方までゲート配線が伸張して形成されている場合、ゲート配線から第1のドレイン配線と第1のソース配線との間隔（距離）は同じであった。それに対して、ゲート電極19の上方までゲート配線を伸張して形成しており、かつ、第1のゲート配線25から第1のドレイン配線26までの間隔の方が、第1のゲート配線25から第1のソース配線24までの間隔よりも狭くなっている。特に、第1のゲート配線25と第1のドレイン配線26との間隔が配線レイアウトルールの最小幅（約 $0.2\mu m$ ）まで小さく形成されている場合には、より大きな値の容量を保持することができる。

#### 【0045】

なお、第1のゲート配線25と第1のドレイン配線26との間の間隔を縮めるために、第1のゲート配線25の幅を広くしてもよいし、第1のドレイン配線の幅を広くしてもよい。

#### 【0046】

図1(d)において、第2の層間絶縁膜14の図示は省略され、第2の層間絶縁膜14の上に設けられている部材は実線で示され、第2の層間絶縁膜14の下方に設けられている部材は破線で示されている。なお、第2の層間絶縁膜14は、 $700\text{nm}$ の厚さで設けられている。第1のドレイン配線26（図1(c)に示す）は、厚さ $340\text{nm}$ の第2のドレイン配線28と電気的に接続され、第2のドレイン配線28は、入出力パッド（図示せず）と内部回路（図示せず）へと接続されている。

#### 【0047】

次に、本実施形態の半導体装置の製造方法について、図2(a)～(e)を参照しながら説明する。図2(a)～(e)は、第1の実施形態の半導体装置の製

造工程を示す断面図である。

#### 【0048】

まず、図2（a）に示す工程で、通常のN型MISFETの製造工程により、半導体基板11に素子分離21およびp型拡散層からなるガードバンド22を形成し、半導体基板11の素子形成領域R<sub>r</sub>には、ソース領域16、ドレイン領域17、ゲート絶縁膜18、ゲート電極19、サイドウォールスペーサ20からなるN型MISFET12を形成する。

#### 【0049】

次に、図2（b）に示す工程で、CVD法等により、N型MISFET12の上にBPSG（Boron-Phospho Silicate Glass）膜からなる第1の層間絶縁膜13を堆積し、CMP処理により、第1の層間絶縁膜13の表面を平坦化する。次いで、フォトリソグラフィ技術とドライエッチング技術により、第1の層間絶縁膜13を貫通するコンタクトホールを形成する。その後、コンタクトホールにタンゲステン（W）を埋め込み、CMP処理によって表面を平坦化することにより、第1のコンタクトプラグ23を形成する。第1のコンタクトプラグ23として、ソース領域16、ドレイン領域17、ゲート電極19およびガードバンド22に到達するものを設ける。

#### 【0050】

次に、図2（c）に示す工程で、スパッタリングによりアルミニウム等の配線材料からなる導体膜を堆積する。フォトリソグラフィ技術とドライエッチング技術によって導体膜をパターニングすることにより、図1（c）に示すようなレイアウトパターンの第1のゲート配線25、第1のソース配線24および第1のドレイン配線26を形成する。このとき、第1のゲート配線25の一部と第1のドレイン配線26の一部とが容量保持部29となる。

#### 【0051】

次に、図2（d）に示す工程で、CVD法等を用いて第1の層間絶縁膜13の上にFSG（Fluorinated Silicate Glass）膜を堆積して、CMP法によって平坦化することにより、第2の層間絶縁膜14を形成する。次いで、フォトリソグラフィ技術とドライエッチング技術により、第2の層間絶縁膜14を貫通するコ

ンタクトホールを形成する。その後、コンタクトホールにタンゲステンを埋め込み、C M P処理によって表面を平坦化することにより、第2のコンタクトプラグ27を形成する。

## 【0052】

次に、図2(e)に示す工程で、スパッタリングによりアルミニウム等の配線材料からなる導体膜を堆積する。フォトリソグラフィ技術とドライエッチング技術によって導体膜をパターニングすることにより、図1(d)に示すようなレイアウトパターンの第2のドレイン配線28を形成する。その後、CVD法等によって、第2の層間絶縁膜14の上にFSGからなる第3の層間絶縁膜15(図1(a)に示す)を形成する。以上の工程により、本実施形態の半導体装置が完成する。

## 【0053】

本実施形態では、第1のゲート配線25が第1のゲート電極19の上方まで伸張して形成されており、第1のゲート配線25と第1のドレイン配線26が、狭い間隔を保ちつつ並行して形成されている。これにより、従来の半導体装置よりもゲートードレイン間容量が大きくなるので、トリガ電圧の値を低下させることができる。以下に、その理由について説明する。

## 【0054】

N型MISFET12のドレイン領域17は、ゲート電極19の端部とオーバーラップするように形成されているため、ゲートードレイン間に容量が存在する。容量が形成された状態でドレイン領域17に静電気による正の過剰電圧が印加されると、容量に基づく充放電電流が、ゲート電極19を介して接地電位(図示せず)へ瞬間に流れれる。このとき、図9に示す抵抗98に充放電電流が流れることにより、ゲート電極19の電位が上昇する。本実施形態の半導体装置では、ゲートードレイン間に保持されている容量が従来よりも多いので、ゲート電極19の電位がより大きく上昇し、ドレインーソース間に流れる電流がより大きくなり、衝突イオン化が促進される。これにより、図9に示す基板電流103が大きくなるのでベース102の電位が上昇しやすくなり、トリガ電圧が低下して寄生バイポーラトランジスタが導通しやすくなる。

## 【0055】

以上のように、本発明では、N型MISFET12のゲートードレイン間容量を大きくすることにより、スナップバック特性のトリガ電圧を従来よりも低下させることができる。このことから、内部回路に大きな静電気が加わることにより不具合が生じるのを阻止することができる。

## 【0056】

## (第2の実施形態)

第2の実施形態では、第1の実施形態を変形した形態について説明する。

## 【0057】

図3は、第2の実施形態の半導体装置の構造を示す断面図である。本実施形態の半導体装置のうちで第1の実施形態と異なるのは、第1のゲート配線30および第1のドレイン配線31が、従来よりも厚い膜厚を有している点である。これにより、第1のゲート配線30および第1のドレイン配線31の膜厚は、第2のドレイン配線28よりも厚くなっている。これは、従来の半導体装置において、微細なサイズの素子(MISFET)と外部とを接続するために、第1のドレイン配線よりも第2のドレイン配線の膜厚が厚く設けられているとの対照的である。なお、本実施形態の第1のドレイン配線31およびゲート配線30は500nm以上700nm以下の膜厚を有することが特に好ましく、この場合には、他の層などに不具合を与えることなく、より大きな容量を保持することができる。

## 【0058】

本実施形態の平面的なレイアウトは、第1の実施形態における図1(b)、図1(c)、図1(d)に示したものと同様であるので、図示および説明を省略する。

## 【0059】

次に、本実施形態の半導体装置の製造方法について、図4(a)～(e)を参照しながら説明する。図4(a)～(e)は、第2の実施形態の半導体装置の製造工程を示す断面図である。ここで、本実施形態の半導体装置の平面的なレイアウトパターンは第1の実施形態と同様であるので、図1(b)～(d)も参照する。

## 【0060】

まず、図4（a）に示す工程で、通常のMISFETの製造工程により、半導体基板11に素子分離21およびP型拡散層からなるガードバンド22を形成し、半導体基板11の素子形成領域Rrには、ソース領域16、ドレイン領域17、ゲート絶縁膜18、ゲート電極19、サイドウォールスペーサ20からなるN型MISFET12を形成する。

## 【0061】

次に、図4（b）に示す工程で、CVD法等により、N型MISFET12の上にBPSG膜からなる第1の層間絶縁膜13を堆積し、CMP処理により、第1の層間絶縁膜13の表面を平坦化する。次いで、フォトリソグラフィ技術とドライエッチング技術により、第1の層間絶縁膜13を貫通するコンタクトホールを形成する。その後、コンタクトホールにタンクスチタン（W）を埋め込み、 CMP処理によって表面を平坦化することにより、第1のコンタクトプラグ23を形成する。第1のコンタクトプラグ23として、ソース領域16、ドレイン領域17、ゲート電極19およびガードバンド22に到達するものを設ける。

## 【0062】

次に、図4（c）に示す工程で、スパッタリングによりアルミニウム等の配線材料からなる厚さ500nmの導体膜を堆積する。フォトリソグラフィ技術とドライエッチング技術によって導体膜をパターニングすることにより、図1（c）に示すような平面的なレイアウトパターンを有する第1のゲート配線30、第1のソース配線32および第1のドレイン配線31を形成する。このとき、第1のゲート配線30の一部と第1のゲート配線30の一部とは容量保持部33となり、容量保持部33において、第1のゲート配線30の側面と第1のドレイン配線31の側面とが対向する面積は第1の実施形態よりも大きくなる。

## 【0063】

なお、図4（c）に示す工程では、第1のドレイン配線31、第1のゲート配線30および第1のドレイン配線31は、同一の導体膜からパターニングされて形成されている。そのため、第1のソース配線32も従来よりも厚く形成されていてもよい。

## 【0064】

次に、図4（d）に示す工程で、CVD法等を用いて第1の層間絶縁膜13の上にFSG膜を堆積して、CMP法によって平坦化することにより、第2の層間絶縁膜14を形成する。次いで、フォトリソグラフィ技術とドライエッチング技術により、第2の層間絶縁膜14を貫通するコンタクトホールを形成する。その後、コンタクトホールにタングステンを埋め込み、CMP処理によって表面を平坦化することにより、第2のコンタクトプラグ27を形成する。

## 【0065】

次に、図4（e）に示す工程で、スパッタリングによりアルミニウム等の配線材料からなる厚さ340nmの導体膜を堆積する。フォトリソグラフィ技術とドライエッチング技術によって導体膜をパターニングすることにより、図1（d）に示すような平面的なレイアウトパターンを有する第2のドレイン配線28を形成する。その後、CVD法等によって、第2の層間絶縁膜14の上にFSGからなる第3の層間絶縁膜15（図3（a）に示す）を形成する。以上の工程により、本実施形態の半導体装置が完成する。

## 【0066】

本実施形態では、第1の実施形態と同様の効果を得ることができる。さらに、本実施形態における第1のドレイン配線31となる導体膜の厚さは、従来の半導体装置における第1のドレイン配線となる導体膜の厚さ（250nm程度）および第2のドレイン配線となる導体膜の厚さ（340nm程度）よりも厚く形成されている。これにより、第1の実施形態よりも、さらにゲートードレイン間の容量が大きくなるので、より効果的に、スナップバック特性のトリガ電圧を低下させることができる。

## 【0067】

## （第3の実施形態）

第3の実施形態では、第1の配線に加えて、第2の配線によってもゲートードレイン間の容量を保持する形態について説明する。

## 【0068】

まず、本実施形態の半導体装置について、図5（a）～（d）を参照しながら

説明する。本実施形態の半導体装置では、N型MISFET42を有する半導体基板41の上に、第1の層間絶縁膜43、第2の層間絶縁膜44および第3の層間絶縁膜45が設けられている。この半導体装置において、図5(a)は第1の層間絶縁膜の上に設けられた配線のレイアウトを示す平面図であり、図5(b)は第2の層間絶縁膜の上に設けられた配線のレイアウトを示す平面図であり、図5(c)は半導体装置の(A)-(A)線に沿った構造を示す断面図であり、図5(d)は半導体装置のうちで(A)-(A)線と垂直に交わる(B)-(B)線に沿った構造を示す断面図である。なお、図5(a)～(d)においては、入出力パッドと内部回路の図示を省略している。

#### 【0069】

第3の実施形態において、第1の実施形態と異なるのは、第1のゲート配線55が第2のコンタクトプラグ57を介して第2のゲート配線60へ接続されており、第2のゲート配線60は第2のドレイン配線58と並行かつ近接して形成されている点である。以下に、具体的な構造について述べるが、第1の実施形態と同様の構造については説明を省略する。

#### 【0070】

図5(a)に示すように、第1の層間絶縁膜43(図5(c)に示す)の上には、厚さ250nmの第1のソース配線54と、第1のゲート配線55と、第1のドレイン配線56とが形成されている。第1のソース配線54は、ソース領域46(図5(c)に示す)の上から、ガードバンド52の上に設けられている第1のコンタクトプラグ53の上を延びて、接地電位(図示せず)に接続されている。第1のゲート配線55は、ゲート電極49(図5(c)に示す)の上に設けられ、抵抗(図示せず)を介して接地電位(図示せず)に接続されている。第1のドレイン配線56はドレイン領域47(図5(c)に示す)の上に設けられ、その側方を第1のゲート配線55によって囲まれている。

#### 【0071】

図5(b)に示すように、第2の層間絶縁膜44の上には、素子形成領域Rrを覆ってゲート長方向に延びる第2のドレイン配線58と、第2のドレイン配線58の側方に沿って延びる第2のゲート配線60とが設けられている。

## 【0072】

半導体基板41の上に設けられたゲート電極49は、図5(c)に示すように、第1のコンタクトプラグ53を介して第1のゲート配線55と接続されている。第1のゲート配線55は、図5(d)に示すように、第2のコンタクトプラグ57を介して第2のゲート配線60と接続されている。

## 【0073】

半導体基板41内に設けられたソース領域46は、図5(c)に示すように、第1のコンタクトプラグ53を介して第1のソース配線54に接続されている。

## 【0074】

半導体基板41内に設けられたドレイン領域47は、図5(c)に示すように、第1のコンタクトプラグ53、第1のドレイン配線56および第2のコンタクトプラグ57を介して、第2のドレイン配線58に接続されている。

## 【0075】

次に、本実施形態の半導体装置の製造方法について、図6(a)～(e)を参照しながら説明する。図6(a)～(e)は、第3の実施形態の半導体装置の製造工程を示す、(B)～(B)線に沿った断面図である。

## 【0076】

まず、図6(a)に示す工程で、通常のN型MISFETの製造工程により、半導体基板41に素子分離51およびP型拡散層からなるガードバンド52を形成し、半導体基板41の素子形成領域Rrには、ドレイン領域47を含むN型MISFET42(図5(c)に示す)を形成する。

## 【0077】

次に、図6(b)に示す工程で、CVD法等により、半導体基板41の上にBPSG膜からなる第1の層間絶縁膜43を堆積し、CMP処理により、第1の層間絶縁膜43の表面を平坦化する。次いで、フォトリソグラフィ技術とドライエッティング技術により、第1の層間絶縁膜43を貫通するコンタクトホールを形成する。その後、コンタクトホールにタンクステン(W)を埋め込み、CMP処理によって表面を平坦化することにより、第1のコンタクトプラグ53を形成する。第1のコンタクトプラグ53として、図5(c)に示すソース領域46、ドレ

イン領域47、ゲート電極49およびガードバンド52に到達するものを設ける。

#### 【0078】

次に、図6(c)に示す工程で、スパッタリングによりアルミニウム等の配線材料からなる導体膜を堆積する。フォトリソグラフィ技術とドライエッチング技術によって導体膜をパターニングすることにより、図5(a)に示すようなレイアウトパターンの第1のゲート配線55、第1のドレイン配線56および第1のソース配線54を形成する。

#### 【0079】

次に、図6(d)に示す工程で、CVD法等を用いて第1の層間絶縁膜43の上にFSG膜を堆積して、CMP法によって平坦化することにより、第2の層間絶縁膜44を形成する。次いで、フォトリソグラフィ技術とドライエッチング技術により、第2の層間絶縁膜44を貫通するコンタクトホールを形成する。その後、コンタクトホールにタンクステンを埋め込み、CMP処理によって表面を平坦化することにより、第2のコンタクトプラグ57を形成する。第2のコンタクトプラグ57として、第1のゲート配線55および第1のドレイン配線56に到達するものを設ける。

#### 【0080】

次に、図6(e)に示す工程で、スパッタリングによりアルミニウム等の配線材料からなる導体膜を堆積する。フォトリソグラフィ技術とドライエッチング技術によって導体膜を成形することにより、図5(b)に示すようなレイアウトパターンを有する第2のゲート配線60および第2のドレイン配線58を形成する。以上の工程により、本実施形態の半導体装置が完成する。

#### 【0081】

本実施形態では、第1のゲート配線55と第1のドレイン配線56との間だけでなく、第2のゲート配線60と第2のドレイン配線58との間でも容量を保持することができる。したがって、効果的にスナップバック特性のトリガ電圧を低下させることができる。このことから、内部回路に大きな静電気が加わることにより不具合が生じるのを阻止することができる。

## 【0082】

(第4の実施形態)

第4の実施形態では、第3の実施形態を変形した形態について説明する。本実施形態の半導体装置の配線の平面的なレイアウトは第3の実施形態のレイアウトと同様であるので図示および説明を省略し、断面構造について図7(a), (b)を参照しながら説明する。図7(a), (b)は、第4の実施形態の半導体装置において、(A)-(A)線、(B)-(B)線(図5(a), (b)に示す)に沿った構造を示す断面図である。

## 【0083】

本実施形態のうちで第3の実施形態と異なるのは、図7(a), (b)に示すように、第3層目の絶縁膜として高誘電体絶縁膜71が設けられている点である。高誘電体絶縁膜71は、第2のゲート配線60および第2のドレイン配線58の配線間を充填している。ここで、高誘電体とは、誘電率が5以上の物質をいい、例えばシリコン窒化膜を用いた場合には、他の領域に大きな不具合を与えることなく、より高い容量を保持することができる。

## 【0084】

図8は、第4の実施形態の構造の変形例を示す断面図である。図8に示すように、第2のゲート配線60と第2のドレイン配線58とによって挟まれる領域に高誘電体73が充填され、第2のゲート配線60、第2のドレイン配線58および高誘電体73を覆う絶縁膜72が設けられていてもよい。

## 【0085】

図8に示すような高誘電体73を形成する工程を以下に説明する。まず、第2の層間絶縁膜44の上に、第2のゲート配線60および第2のドレイン配線58を覆うように高誘電体膜を形成する。次に、異方性のエッチングを行なう。これにより、配線層が密集して設けられている領域、つまり、第2のゲート配線60と第2のドレイン配線58とにより挟まれる領域や、第2のゲート配線60および第2のドレイン配線の側面上には、高誘電体73が残ることになる。

## 【0086】

第4の実施形態においては、第2のゲート配線60と第2のドレイン配線58

との間により大きな容量を保持することができる。したがって、スナップバック特性のトリガ電圧を、より効果的に低下させることができる。

#### 【0087】

なお、図8(a)に示す高誘電体73は、第1のドレイン配線56と第1のゲート配線55との間に設けられていてよい。

#### 【0088】

#### 【発明の効果】

本発明の半導体装置は、ゲートードレイン間の容量が大きくなるような配線レイアウトを備えていること、および配線間を埋める絶縁膜として高誘電体が用いられる特徴とする。これにより、静電気による過剰電圧がドレイン領域に印加された瞬間に、ゲート電極に接続された抵抗には、ゲートードレイン間の容量に起因して、より大きな電流が流れようになる。したがって、従来と比較して、抵抗における電圧降下がより大きくなつてゲート電位の上昇が大きくなり、ドレインーソース間に流れる電流が増大する。すると、衝突イオン化がいっそう促進されて基板抵抗に流れ込む基板電流が増加するため、基板抵抗により生ずる電圧降下が大きくなりベース電位が上昇する。以上のことから、トリガ電圧が低下し、寄生バイポーラトランジスタが導通しやすくなり、より確実に、内部回路を静電気から保護することができる。

#### 【図面の簡単な説明】

#### 【図1】

第1の実施形態において、(a)は半導体装置のレイアウトを示す断面図であり、(b)～(d)は配線のレイアウトを示す平面図である。

#### 【図2】

(a)～(e)は、第1の実施形態の半導体装置の製造工程を示す断面図である。

#### 【図3】

第2の実施形態の半導体装置の構造を示す断面図である。

#### 【図4】

(a)～(e)は、第2の実施形態の半導体装置の製造工程を示す断面図であ

る。

【図5】

第3の実施形態において、(a)、(b)は配線のレイアウトを示す平面図であり、(c)、(d)は、(A)-(A)線および(B)-(B)線に沿った構造を示す断面図である。

【図6】

(a)～(e)は、第3の実施形態の半導体装置の製造工程を示す、(B)-(B)線に沿った断面図である。

【図7】

(a)、(b)は、第4の実施形態の半導体装置において、(A)-(A)線、(B)-(B)線に沿った構造を示す断面図である。

【図8】

第4の実施形態の構造の変形例を示す断面図である。

【図9】

従来において、NPN型の寄生バイポーラトランジスタを利用した半導体装置の構成を模式的に示す断面図である。

【図10】

スナップバック特性の電圧値と電流値との関係を示すグラフ図である。

【符号の説明】

1 1	半導体基板
1 2	N型MISFET
1 3	第1の層間絶縁膜
1 4	第2の層間絶縁膜
1 5	第3の層間絶縁膜
1 6	ソース領域
1 7	ドレイン領域
1 8	ゲート絶縁膜
1 9	ゲート電極
2 0	サイドウォール

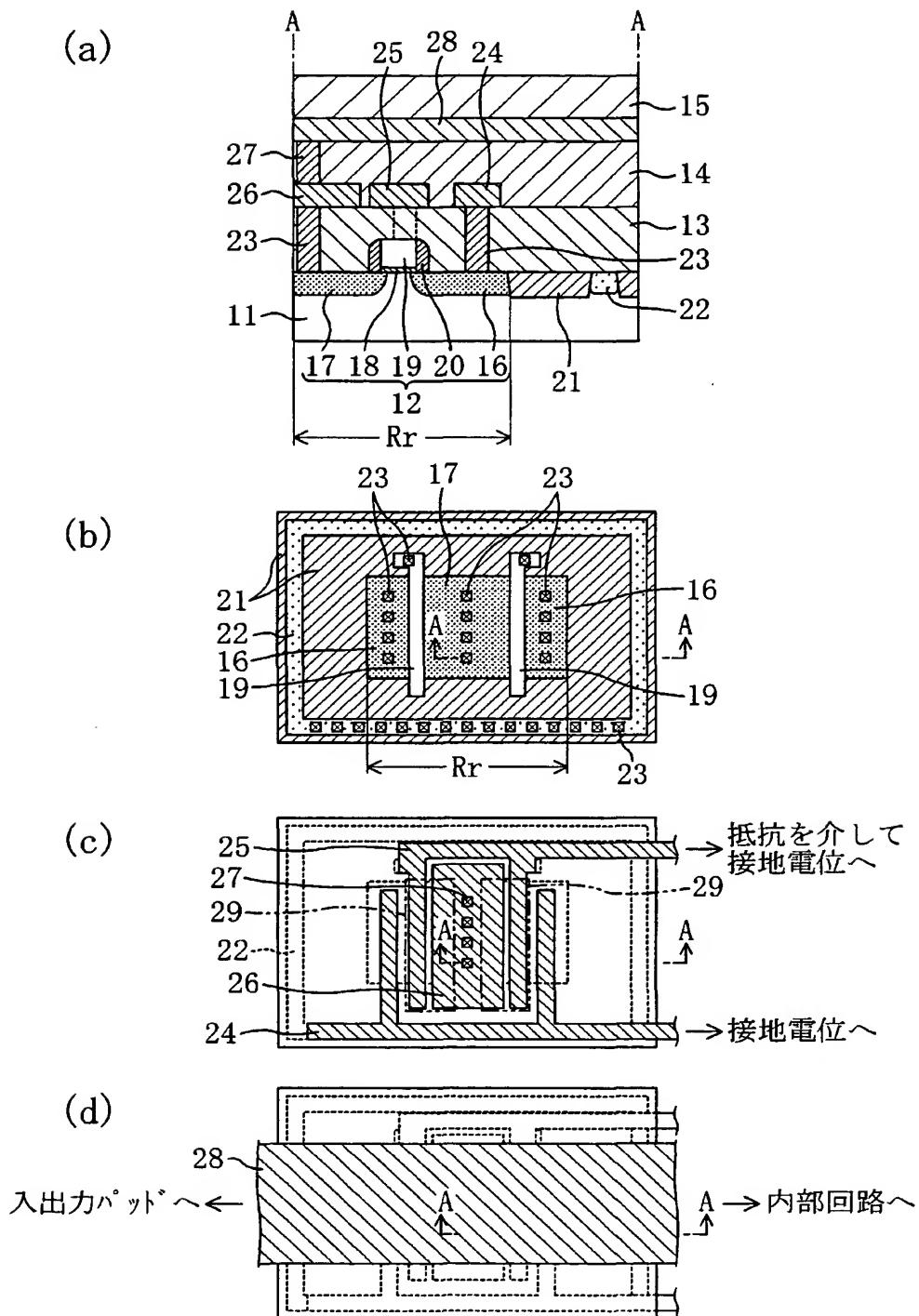
- 2 1 素子分離
- 2 2 ガードバンド
- 2 3 第1のコンタクトプラグ
- 2 4 第1のソース配線
- 2 5 第1のゲート配線
- 2 6 第1のドレイン配線
- 2 7 第2のコンタクトプラグ
- 2 8 第2のドレイン配線
- 2 9 容量保持部
- 3 0 第1のゲート配線
- 3 1 第1のドレイン配線
- 3 2 第1のソース配線
- 3 3 容量保持部
- 4 1 半導体基板
- 4 2 N型MISFET
- 4 3 第1の層間絶縁膜
- 4 4 第2の層間絶縁膜
- 4 6 ソース領域
- 4 7 ドレイン領域
- 4 9 ゲート電極
- 5 2 ガードバンド
- 5 3 第1のコンタクトプラグ
- 5 4 第1のソース配線
- 5 5 第1のゲート配線
- 5 6 第1のドレイン配線
- 5 7 第2のコンタクトプラグ
- 5 8 第2のドレイン配線
- 6 0 第2のゲート配線
- 7 1 高誘電体絶縁膜

72 絶縁膜

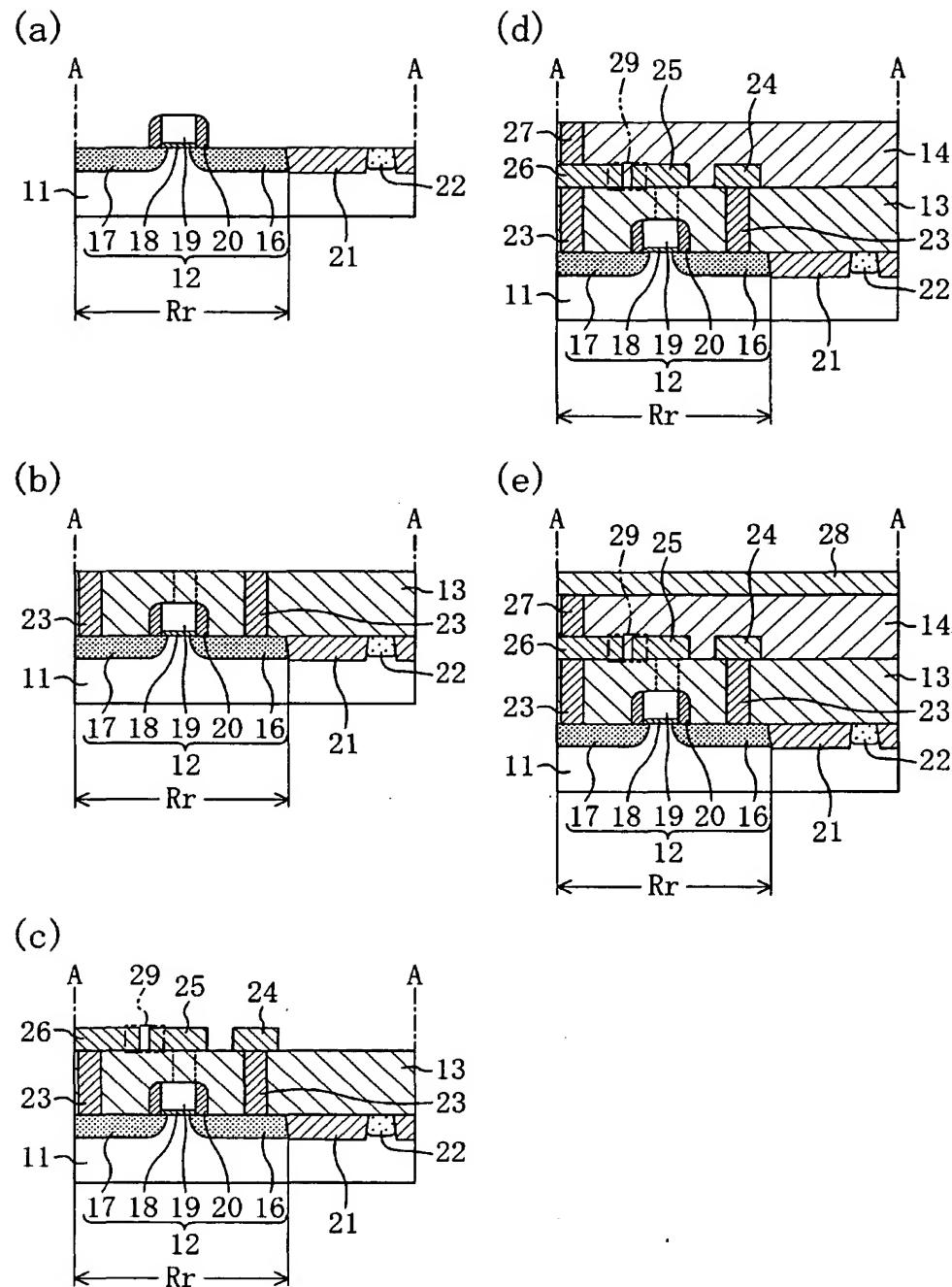
73 高誘電体

【書類名】 図面

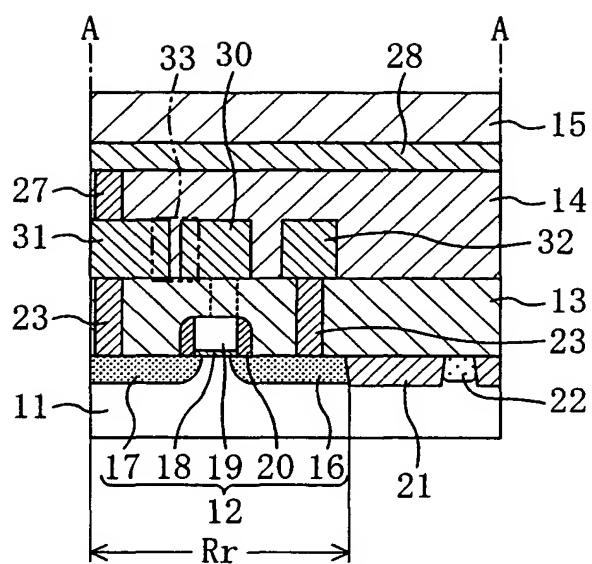
【図1】



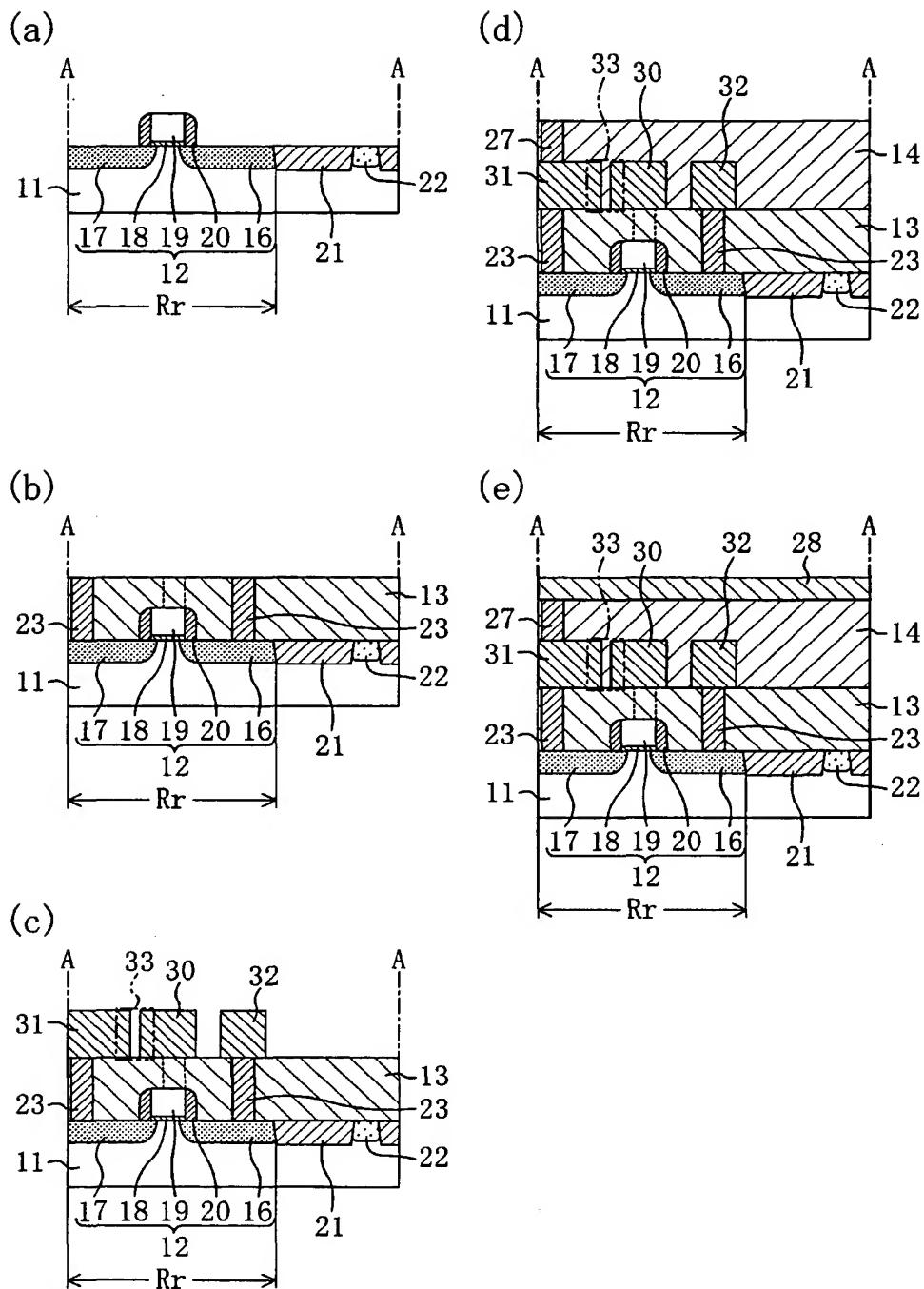
## 【図2】



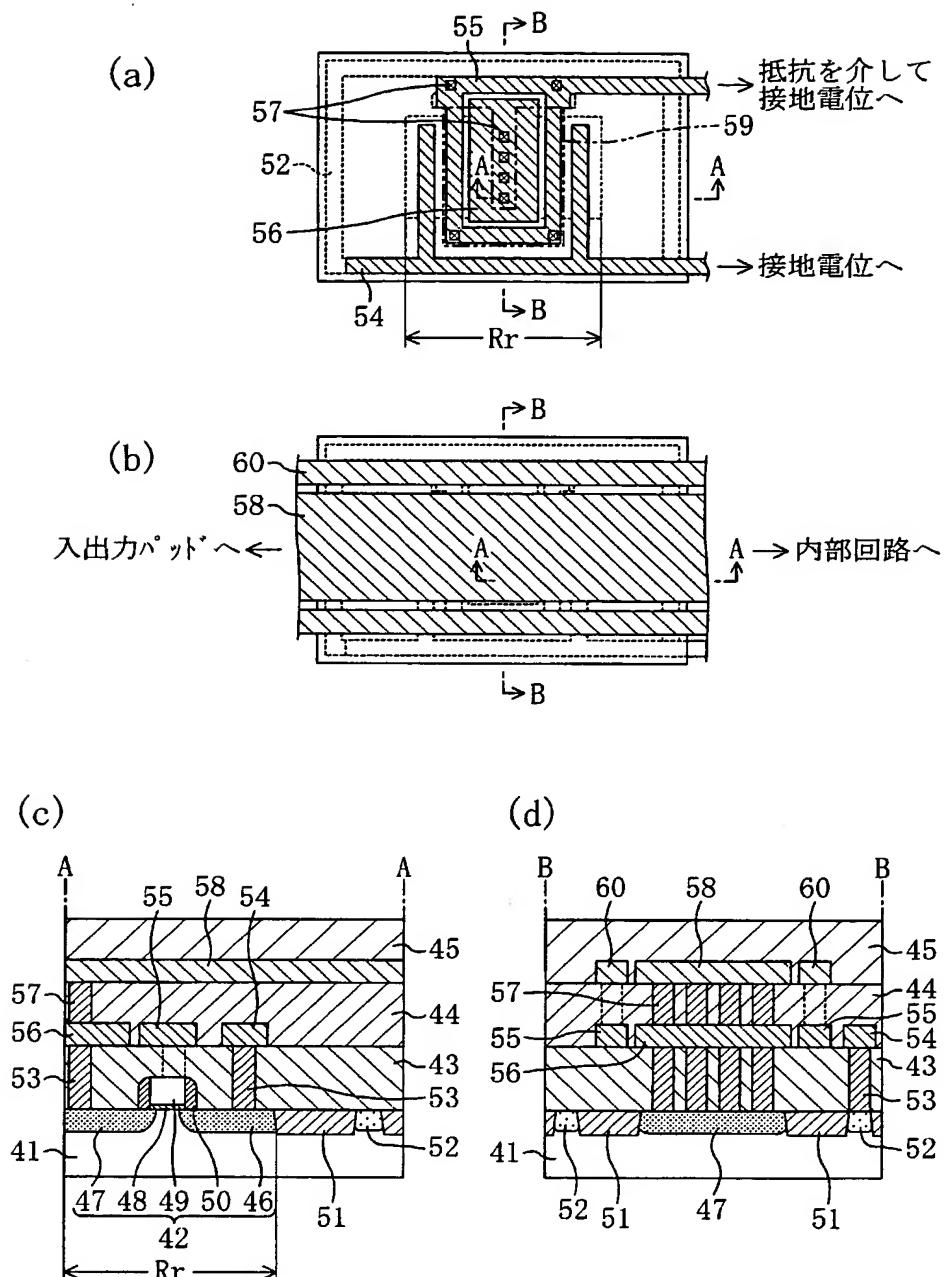
【図3】



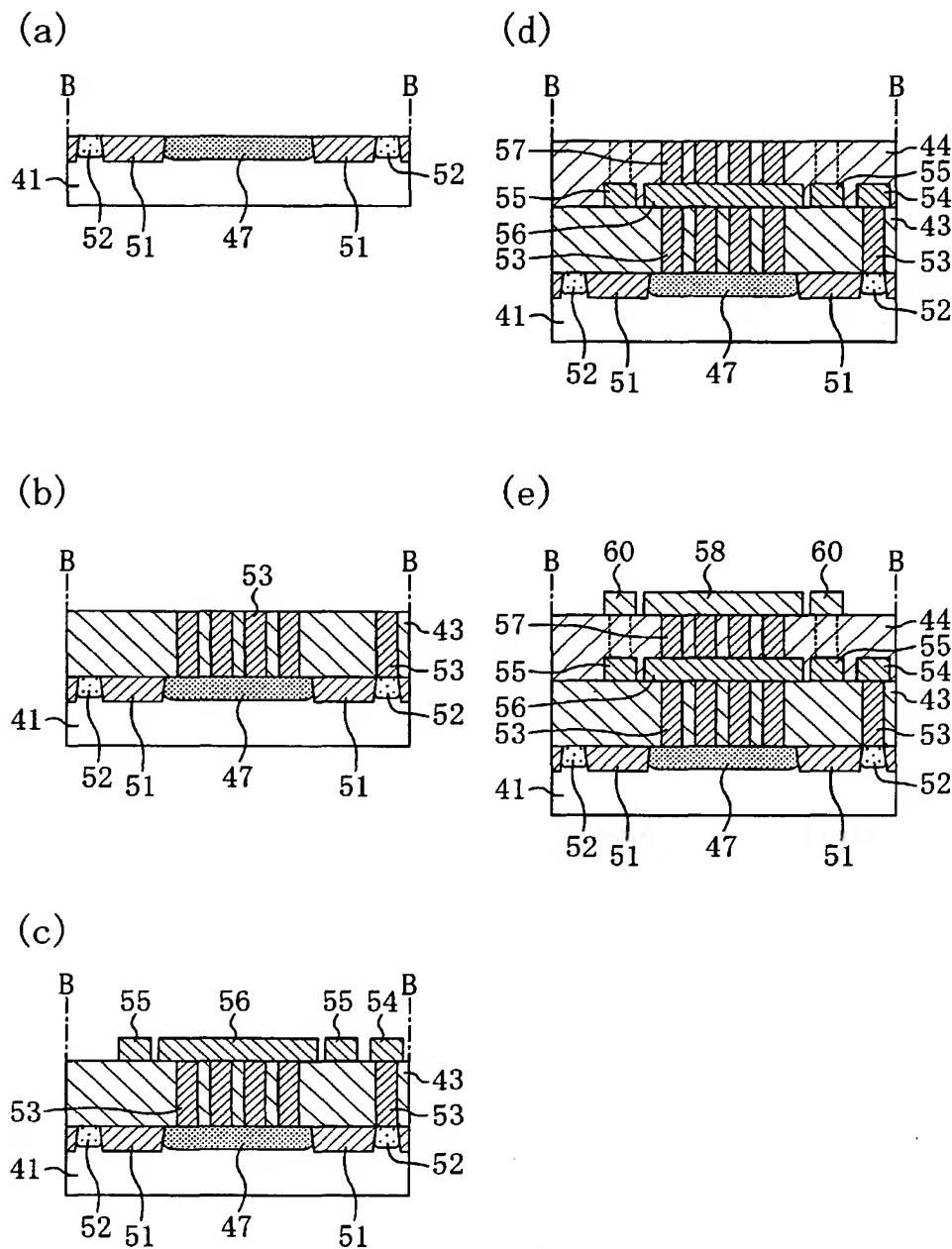
【図4】



【図5】

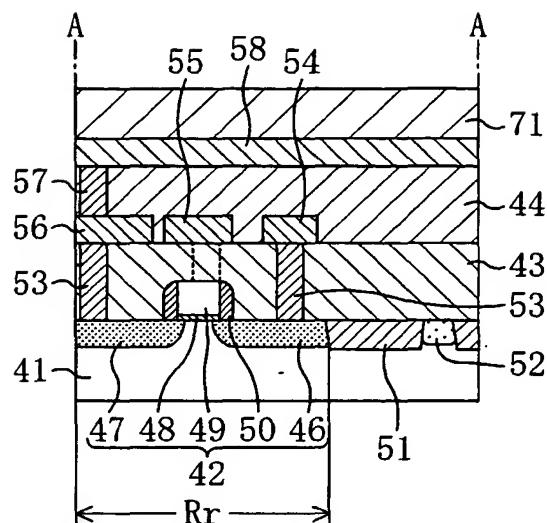


【図6】

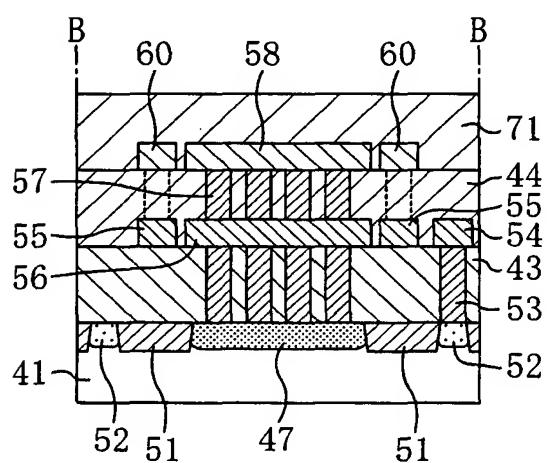


【図7】

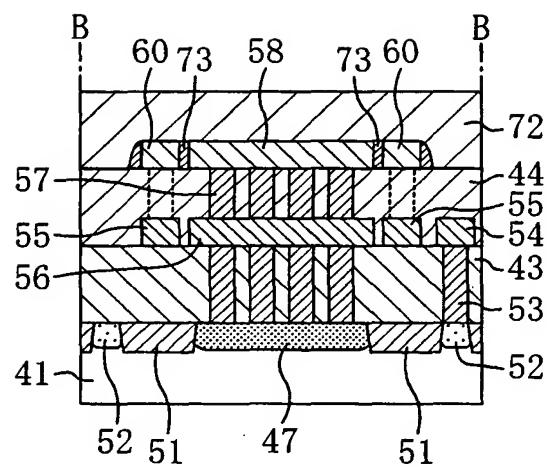
(a)



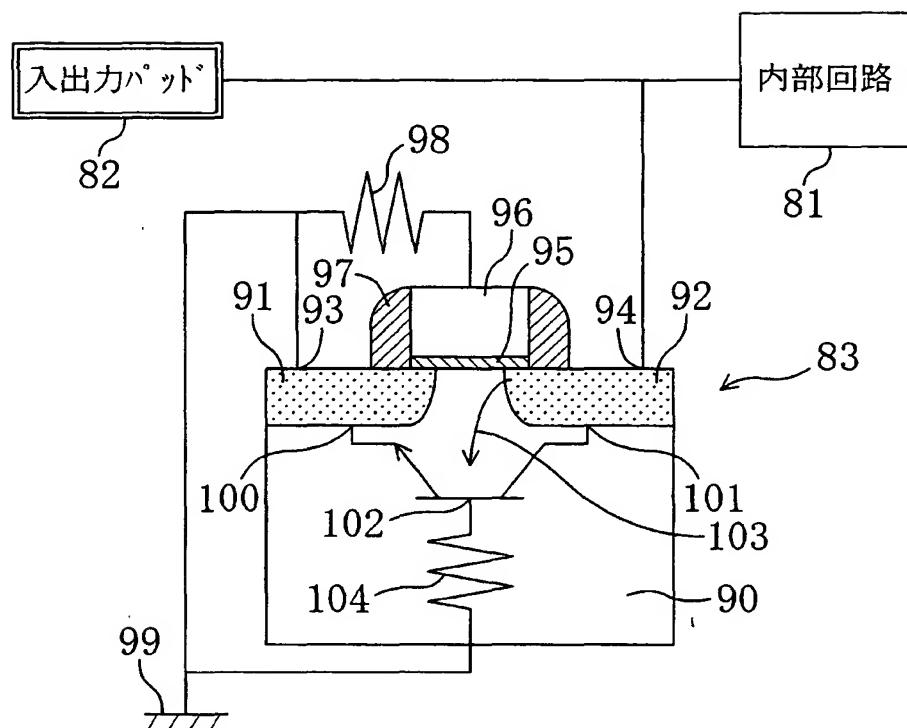
(b)



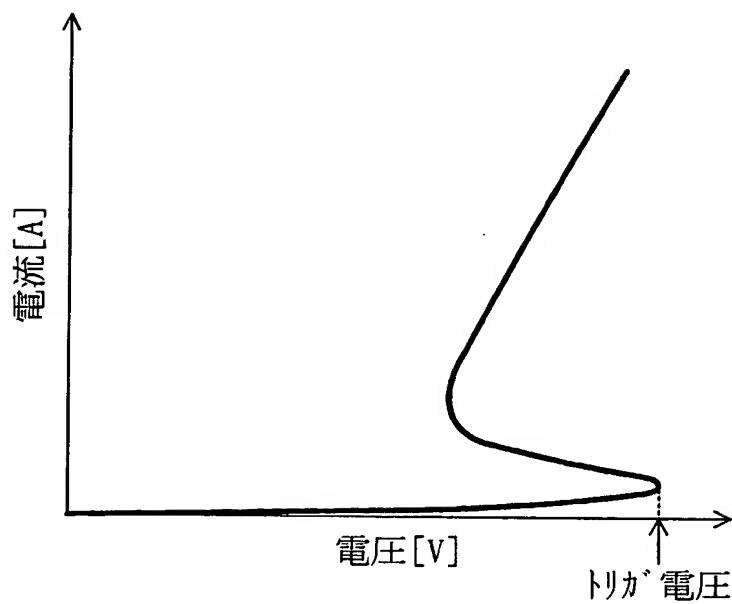
【図8】



【図9】



【図10】



【書類名】 要約書

【要約】

【課題】 静電保護能力の高い半導体装置およびその製造方法を提供する。

【解決手段】 本発明の半導体装置では、半導体基板11と、ソース領域16と、ドレイン領域17と、ゲート電極19とを有するN型MISFET12が設けられており、半導体基板11の上には、MISFET12を覆う第1の層間絶縁膜13と、第2の層間絶縁膜14と、第3の層間絶縁膜15とが設けられている。第1の層間絶縁膜13の上には、ゲート電極13と外部とを電気的に接続するための第1のゲート配線25と、ドレイン領域と外部とを電気的に接続するための第1のドレイン配線26とが、第2の層間絶縁膜14の一部を介して相対向するように設けられている。

【選択図】 図1

出願人履歴情報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 大阪府門真市大字門真1006番地  
氏 名 松下電器産業株式会社